

64 x 8 Serial Real Time Clock

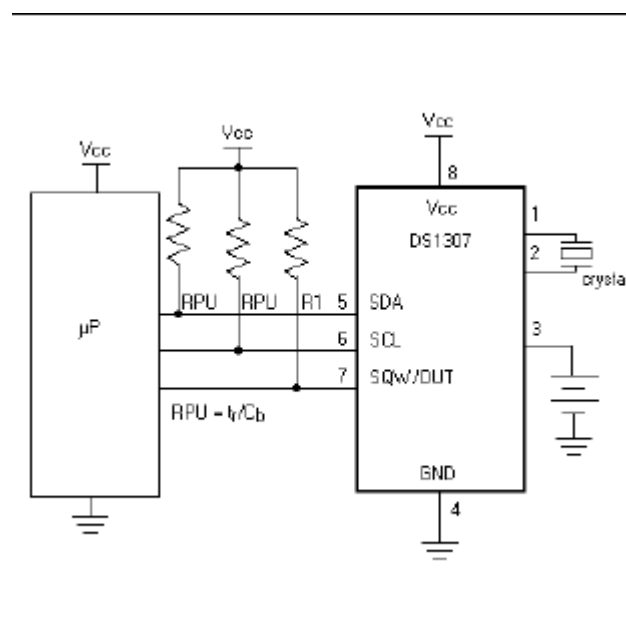
DESCRIPCIÓN

El DS1307 Real-Time-Clock Serie, es un dispositivo de bajo consumo de energía, completo con código binario decimal (BCD), reloj/calendario más 56 bytes de NV SRAM. Dirección y datos son transferidos a través de 2 hilos serie, bus bi-direccional. El reloj/calendario provee información de, segundos, minutos, horas, día, fecha, mes y año. El final de fecha de mes se ajusta automáticamente durante meses menores de 31 días, incluyendo correcciones para el año bisiesto. El reloj funciona en cualquiera formato de 24 horas o en 12 horas con indicador AM/PM. El DS1307 tiene incorporado un circuito de sensor de tensión que detecta fallas de energía y cambia automáticamente al suministro de batería de respaldo.

CARACTERÍSTICAS

- ° Reloj en tiempo real (RTC) Cuenta segundos, Minutos, horas, fecha del mes, mes, día de la semana, y año con año bisiesto Compensación Válido hasta 2100.
- ° 56-Byte, con respaldo de batería, no volátil (NV) de RAM para almacenamiento de datos
- ° Interface Serie I2C.
- ° Onda-Cuadrada programable de la señal de salida.
- ° Detector Automático Fallo-Energía y Circuito Conmutación.
- ° Consume menos de 500nA en la batería -- Modo de copia de seguridad con el oscilador funcionando.
- ° Rango de temperatura Industrial Opcional: -40 ° C a +85 ° C
- ° Disponible en 8-Pin Plástico DIP o SO
- ° Reconocido Underwriters Laboratory (UL)

El Circuito Típico de funcionamiento y Configuraciones de pines aparecen al final de hoja de datos. Ver niveles de tensión y otras características en el propio DS.

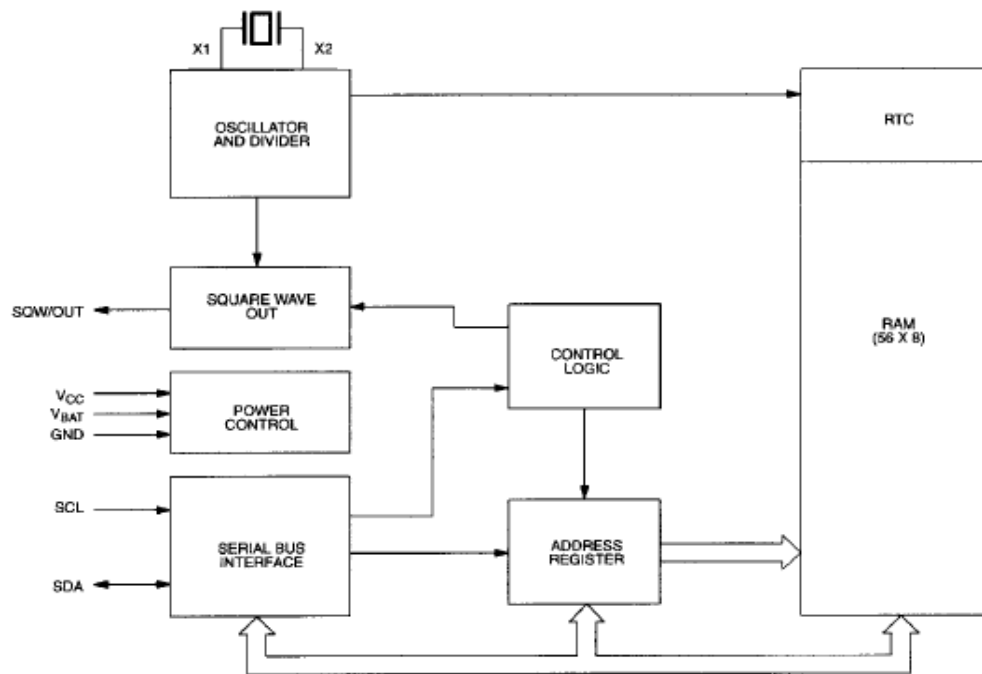


Circuito Típico.

OPERACIÓN.

El DS1307 funciona como un dispositivo esclavo en el bus serie. El acceso se obtiene mediante la aplicación de una condición de START (Inicio) y la prestación de un código de identificación del dispositivo seguido de una dirección de registro. Se puede acceder a registros posteriores de forma secuencial hasta que es ejecutada una condición STOP. Cuando VCC cae por debajo de $1,25 \times V_{BAT}$ un dispositivo en curso rescinde el acceso y restablece el contador de dirección de dispositivo. En este momento, pueden no ser reconocidas entradas al dispositivo para evitar que se escriban datos erróneos en el dispositivo por fuera de tolerancia del sistema. Cuando VCC cae por debajo de VBAT el dispositivo conmuta a batería de baja corriente modo de seguridad. Tras el encendido, el dispositivo conmuta de la batería a VCC VCC cuando es mayor que $V_{BAT} + 0,2 \text{ V}$ y reconoce las entradas cuando VCC es mayor de $1,25 \times V_{BAT}$. El diagrama de bloques de la Figura 1 muestra los principales elementos del RTC serie.

DS1307 DIAGRAMA BLOQUE Figura 1



DESCRIPCIÓN DE LA SEÑAL.

VCC, GND - La alimentación DC del dispositivo se ofrece en estos pines. VCC es entrada de +5 V. Cuando se aplican 5V dentro de límites normales, el dispositivo es totalmente accesible y los datos pueden ser escritos y leídos. Cuando una batería de 3V se conecta al dispositivo y VCC es inferior a $1,25 \times V_{BAT}$, se inhiben lectura y escritura. Sin embargo, la función de la hora normal no se ve afectada por la baja tensión de entrada. Como VCC caiga por debajo de VBAT, la RAM y el cronometro se cambian a la fuente de energía externa (nominal 3.0V DC) en VBAT.

VBAT - Entrada de Batería para cualquier célula de litio estándar 3V u otra fuente de energía. El voltaje de la batería debe ser mantenido entre 2,0 V y 3,5 V para su correcto funcionamiento. La tensión nominal de protección de escritura punto de disparo en el cual el acceso al RTC y la memoria RAM de usuario es denegado, es fijado por el circuito interno como nominal $1,25 \times V_{BAT}$. Un batería de litio con 48mAh o mayor mantendrá

copia de seguridad del DS1307 durante más de 10 años en ausencia de energía a 25 ° C. Reconocimiento UL asegura contra inversión de corriente de carga cuando se utiliza junto con un batería de litio.

Ver "Condiciones de accesibilidad" en: <http://www.maxim-ic.com/TechSupport/QA/ntrl.htm>.

SCL (Serial Clock Input) - SCL se utiliza para sincronizar el movimiento de datos en la interfaz de serie.

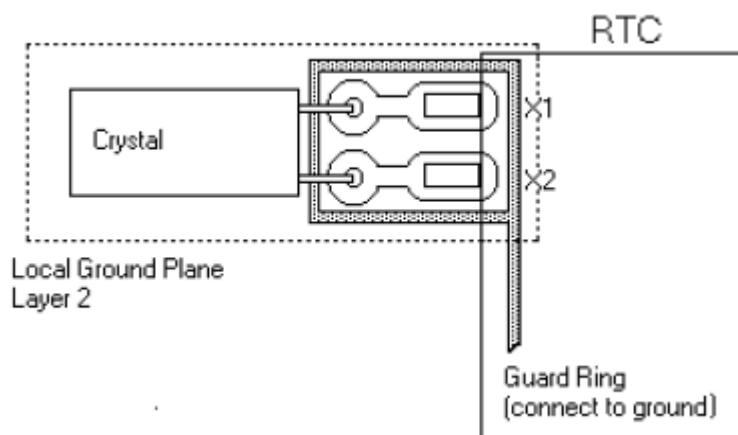
SDA (Serial Data Input/Output) - SDA es el pin entrada/salida para el interfaz 2-hilos serie. El SDA es el pin de drenaje abierto, que requiere una RPA (Resistencia de Polarización a Alto externa).

SQW/OUT (Square Wave/controlador de salida) - Estando habilitado, el bit SQWE se fija en 1, el pin SQW/OUT es la salida de una de las cuatro frecuencias de onda cuadrada (1 Hz, 4 kHz, 8 kHz, 32 kHz). El pin SQW/OUT es de drenaje abierto y requiere una RPA (resistencia de polarización a alto externa). SQW/OUT funcionará con cualquiera Vcc o Vbat aplicada.

X1, X2 - Conexiones para un cristal de cuarzo estándar 32.768kHz. El circuito oscilador interno está diseñado para funcionar con un cristal con una capacitancia de carga específica (CL) de 12.5pF.

Para obtener más información sobre la selección de cristal y las consideraciones de diseño de cristal, por favor, consulte Aplicación de Nota 58, "Crystal Consideraciones con Dallas Real-Time Clocks." El DS1307 también puede ser impulsado por un oscilador externo de 32.768kHz. En esta configuración, el pin X1 está conectado con el oscilador externo de la señal y el pin X2 está flotando.

DISPOSICIÓN RECOMENDADA PARA CRISTAL



RELOJ DE PRECISIÓN

La precisión del reloj depende de la exactitud del cristal y la precisión de igualdad entre la carga capacitiva del circuito oscilador y la carga capacitiva para los que el cristal se ha recortado. Se añadirá el error adicional de frecuencia del cristal por la deriva causada por cambios de temperatura. El ruido exterior del circuito, junto al circuito oscilador puede resultar en el reloj corriendo rápido. Ver Nota de aplicación 58, "Crystal Considerations with Dallas Real-Time Clocks" para obtener información detallada.

Por favor, revise la Nota de Aplicación 95, "Interfacing the DS1307 with a 8051-Compatible Microcontroller" Para obtener información adicional.

RTC Y RAM MAPA DE DIRECCIONES

El mapa de direcciones para registros del RTC y RAM del DS1307 es mostrado en la Figura 2. Los registros de RTC están situados en localizaciones de dirección 00h a 07h. Los registros RAM están situados en dirección de localizaciones 08h a 3Fh. Durante un acceso multi-byte, cuando el puntero llega a la dirección 3Fh, el fin del espacio de RAM, envuelve alrededor a la localización 00h, el principio del espacio de reloj.

DS1307 MAPA DE DIRECCIONES Figura 2.

00H	SECONDS
	MINUTES
	HOURS
	DAY
	DATE
	MONTH
	YEAR
07H	CONTROL
08H	RAM
3FH	56 x 8

RELOJ Y CALENDARIO

La información de tiempo de calendario se obtiene mediante la lectura de los bytes del registro correspondiente. La tabla 2, muestra los registros de RTC. El tiempo y calendario son establecidos o inicializados al escribir los bytes de registro correspondiente. El contenido de los registros de tiempo y calendario están en formato BCD. El registro del día de la semana se incrementa en la medianoche. Los valores que corresponden a los días de la semana son definidos por el usuario, pero debe ser secuencial (es decir, si 1 es igual a domingo, entonces 2 es igual a lunes, y así sucesivamente). Entradas de tiempo y fecha ilógicos causa una operación indeterminada. El Bit 7 del registro 0 es la interrupción bit de reloj alto (CH). Cuando este bit está establecido en 1, el oscilador está desactivado. Cuando se borra a 0, se habilita el oscilador.

Antes de hacer una lectura, se requiere hacer al menos una escritura, para enviar una dirección que pondrá el puntero del registro en el DS1307. En la página 8 de la hoja de datos sobre este tema tan rápidamente que es fácil perderse. Exactamente dice:

Téngase en cuenta que el estado inicial (power-on) de todos los registros no está definido. Por lo tanto, es importante habilitar el oscilador (bit CH = 0) durante la configuración inicial.

Así pues, en su función de configuración, en primer lugar se ha de hacer un Wire.send (0x00) para establecer la dirección de registro en 0, a continuación, establecer el tiempo. Al principio de su función loop(), haga un beginTransmission, envíe otro 0x00, luego un endTransmission. Entonces requestFrom, etc., etc., mientras el bucle. Entonces debería ser capaz de ver que el reloj hace tictac. Recuerde sin embargo que usted está leyendo un byte cada vez en formato BCD, así que, si usted acaba de imprimir el segundo byte contará a 89 y pasar los números intermedios.

El DS1307 se puede ejecutar en modo de 12 horas o 24 horas. El bit 6 del registro de las horas se define como bit del modo de seleccionar 12 o 24 horas. Cuando el modo

seleccionado es alto, es de 12 horas. En el modo 12 horas, el bit 5 es el bit AM/PM con lógica alta es PM. En modo 24 horas, el bit 5 es el bit, segundas 10 horas (20 - 23 horas).

Al leer o escribir los registros de hora y fecha, actual se transfiere a un segundo conjunto de registros (buffer) para evitar errores cuando los registros internos se actualizan. Cuando se lee los registros de hora y fecha, los buffers de usuario se sincronizan con los registros internos en cualquier START I2C. La información horaria se lee de estos segundos registros, mientras que el reloj sigue funcionando. Esto elimina la necesidad de volver a leer los registros, en caso de actualización de los registros internos durante una lectura. La cadena de divisores se reinicializa cada vez que el registro segundos sea escrito. La transferencia de escritura en el I2C se produce con un reconocimiento desde el DS1307. Una vez que la cadena de divisores es reinicializada, para evitar problemas de volcado, los registros de fecha y tiempo restante deben ser escritos dentro de un segundo.

Table 2. Timekeeper Registers

ADDRESS	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	FUNCTION	RANGE
00H	CH	10' (decenas de Seconds)			Seconds				Seconds	00–59
01H	0	10' (decenas de Minutes)			Minutes				Minutes	00–59
02H	0	12	10'Hour	10' Hour	Hours				Hours	1–12 +AM/PM 00–23
		24	PM/AM							
03H	0	0	0	0	0	DAY			Day	01–07
04H	0	0	10'Date		Date				Date	01–31
05H	0	0	0	10' Month	Month				Month	01–12
06H	10' (decenas de Year)				Year				Year	00–99
07H	OUT	0	0	SQWE	0	0	RS1	RS0	Control	—
08H-3FH									RAM 56 x 8	00H-FFH

0 = Always reads back as 0. 10' = decenas

DS1307 REGISTROS CRONOMETRO Figura 3

	BIT7							BIT0	
00H	CH	10 SECONDS			SECONDS				00-59
	0	10 MINUTES			MINUTES				00-59
	0	12 24	10 HR A/P	10 HR	HOURS				01-12 00-23
	0	0	0	0	0	DAY			1-7
	0	0	10 DATE		DATE				01-28/29 01-30 01-31
	0	0	0	10 MONTH	MONTH				01-12
	10 YEAR				YEAR				00-99
07H	OUT	0	0	SQWE	0	0	RS1	RS0	

REGISTRO DE CONTROL.

En el DS1307 el registro de control se usa para controlar el funcionamiento del pin SQW/OUT.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OUT	0	0	SQWE	0	0	RS1	RS0

Bit 7: OUT (Output control - control de Salida): Este bit controla el nivel de salida del pin SQW/OUT cuando la salida de onda cuadrada es inutilizada. Si SQWE = 0, el nivel lógico en el pin SQW/OUT es 1, si OUT = 1 y SQW/OUT es 0 si OUT = 0.

Bit 4: SQWE (Square Wave Enable - Onda Cuadrada Habilitada): Este bit, cuando se establece a lógica 1, habilita la salida del oscilador. La frecuencia de onda cuadrada de salida depende del valor de los bits RS0 y RS1. Con la onda cuadrada de salida establecida a 1Hz, el reloj registra la actualización sobre el borde decreciente de la onda cuadrada.

Bits 1, 0: RS (Rango Seleccionado): Estos bits controlan la frecuencia de onda cuadrada de salida cuando han habilitado la salida de onda cuadrada. La tabla 1 muestra las frecuencias de onda cuadrada que pueden ser seleccionadas con los bits RS.

FRECUENCIA CUADRADA DE SALIDA Tabla 1

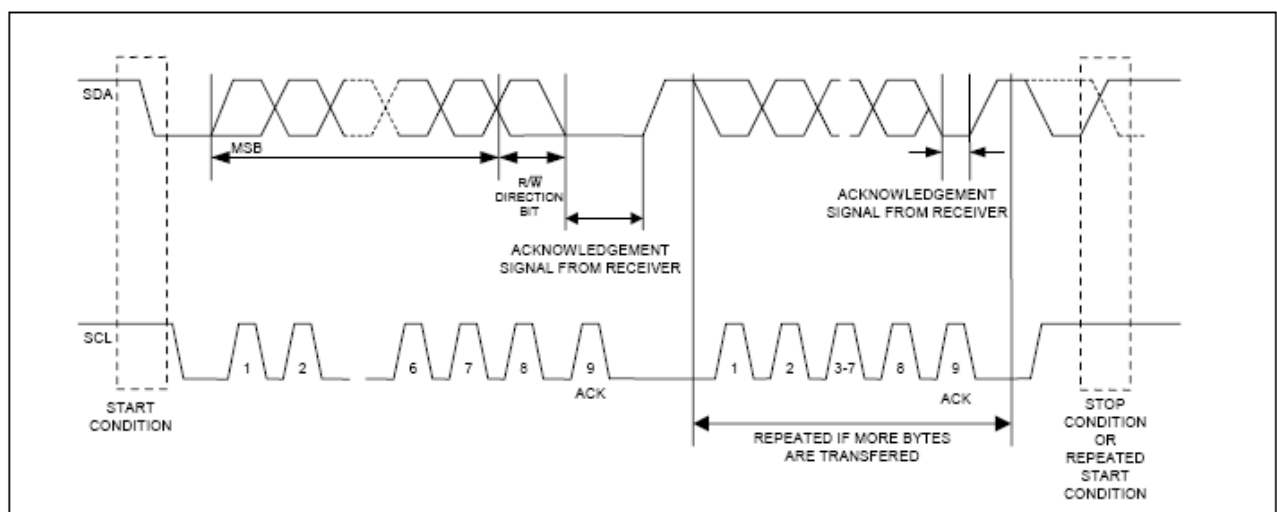
RS1	RS0	SQW OUTPUT FREQUENCY
0	0	1Hz
0	1	4.096kHz
1	0	8.192kHz
1	1	32.768kHz

I2C BUS DE DATOS SERIE.

El DS1307 es compatible con un Bus de 2 hilos bi-direccional y el protocolo de transmisión de datos. Un dispositivo que envía datos en el bus se define como un transmisor y un dispositivo que recibe datos, como un receptor. El dispositivo que controla el mensaje se llama maestro. Los dispositivos que son controlados por el maestro se denominan esclavos. El bus debe ser controlado por un dispositivo maestro que genera el reloj serial (SCL), controla el acceso de buses y genera las condiciones de START y STOP. El DS1307 funciona como un esclavo en el bus I²C. Una configuración típica de buses que usan este protocolo I²C se muestra en la Figura 4.

CONFIGURACION TIPICA BUS I2C Figure 4

Figure 4. Data Transfer on I²C Serial Bus



La transferencia de datos sólo se podrá iniciar cuando el bus no está ocupado.

Durante la transferencia de datos, la línea de datos debe permanecer estable cuando la línea de reloj es ALTA. Los cambios en la línea de datos, mientras la línea de reloj es alta, se interpretan como señales de control.

En consecuencia, las siguientes condiciones de bus han sido definidas:

Bus no ocupado: Ambos datos y líneas de reloj permanecen ALTOS.

Inicio de Transferencia de datos: Un cambio en el estado de la línea de datos, de ALTO a BAJO, mientras el reloj es ALTO, define una condición de INICIO (START).

Transferencia de datos de Parada: Un cambio en el estado de la línea de datos, de BAJO a ALTO, mientras la línea de reloj es ALTA, define la condición de PARADA.

Datos válidos: El estado de la línea de datos representa datos válidos cuando, después de una condición de INICIO (START), la línea de datos será estable durante del período ALTO de la señal de reloj. Los datos sobre la línea deben ser cambiados durante el período BAJO de la señal de reloj. Hay un pulso de reloj por bit de datos.

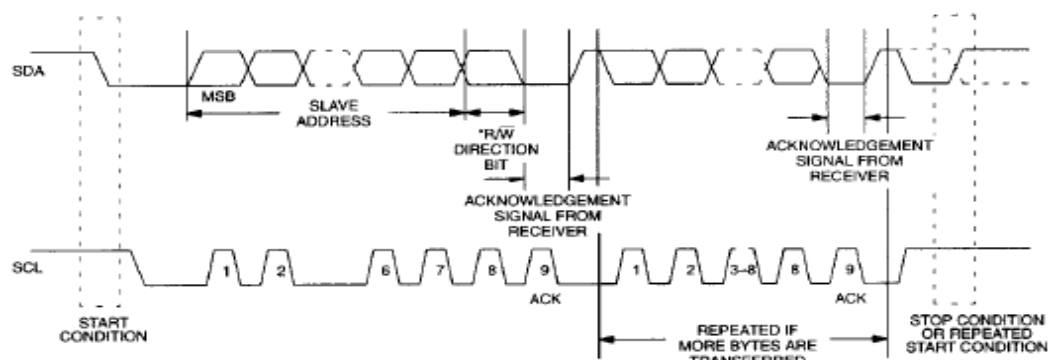
Datos válidos: El estado de la línea de datos representa los datos válidos cuando, después de una condición de INICIO, la línea de datos es estable durante la duración del período ALTO de la señal de reloj. Los datos sobre la línea deben ser cambiados durante el período BAJO de la señal de reloj. Hay un pulso de reloj por bit de datos.

Cada transferencia de datos es iniciada con una condición de START y termina con una condición de STOP. El número de bytes de datos transferidos entre las condiciones de START y STOP no está limitado, y se determina por el dispositivo maestro. La información se transfiere byte a byte y cada receptor reconoce con un noveno bit. Dentro de los datos específicos de bus de 2 cables de un modo regular (100 kHz frecuencia de reloj) y de un modo rápido (400kHz frecuencia de reloj) están definidas. El DS1307 funciona en el modo normal (100 kHz) solamente.

Reconocido (acknowledge): Cada dispositivo de recepción, cuando se le habla, está obligado a generar un reconocido después de la de recepción de cada byte. El dispositivo maestro debe generar un pulso de reloj extra que se asocia con este bit reconocido.

Un dispositivo que es reconocido ha de polarizar a masa la línea SDA durante el pulso de reloj reconocido de tal manera que la línea SDA sea estable BAJO durante el período ALTO de reconocido del pulso de reloj relacionado. Desde luego, la configuración y tiempos de espera deben ser tenidos en cuenta. Un maestro debe señalar un final de datos al esclavo no generando un bit reconocido en el último byte que ha sido registrado en el esclavo. En este caso, el esclavo debe dejar la línea de datos ALTA para permitir al maestro generar la condición de PARADA o STOP.

TRANSFERENCIA DE DATOS EN 2-WIRE BUS SERIE Figura 5



Dependiendo del estado del bit de $R/\overline{W}$, dos tipos de transferencia de datos son posibles:

1. La transferencia de datos desde un transmisor maestro a un receptor esclavo. El primer byte transmitido por el maestro es la dirección de esclavo. Sigue después una serie de bytes de datos. El esclavo devuelve un bit reconocido después de cada byte recibido. Los datos se transfieren primero con el bit más significativo (MSB).
2. La transferencia de datos desde un transmisor maestro a un receptor esclavo. El primer byte (dirección del esclavo) es transmitido por el maestro. El esclavo entonces devuelve un bit reconocido. Esto es seguido por el esclavo que transmite un número de bytes de datos. El maestro devuelve un bit reconocido después de todos los bytes recibidos, otro que no sea el último byte. Al final del último byte recibido, un "no reconocido" es devuelto.

El dispositivo maestro genera todos los impulsos de reloj serie y las condiciones de START y STOP. Una transferencia es terminada con una condición de STOP o con una condición de START repetida. Ya que una condición de START repetida es también el comienzo de la siguiente transferencia serie, el bus no será liberado. Los datos se transfieren primero con el bit más significativo (MSB).

El DS1307 puede funcionar en los dos modos siguientes:

1. **El modo de receptor de esclavo (DS1307 modo de escritura):** Datos serie y reloj se reciben a través de SDA y SCL. Después de cada byte recibido un bit de reconocido es transmitido. Las condiciones START y STOP son reconocidos como el comienzo y el final de una transferencia en serie. La dirección de reconocimiento se realiza por el hardware después de la recepción de la dirección de esclavo y bit de dirección (véase la figura 6). El byte de la dirección es el primer byte recibido después de que la condición de START es generada por el maestro. El byte dirección esclavo, contiene la dirección 7-bit de DS1307, que es 1101000, seguida del bit dirección ($R/\overline{W}$) que, para la escritura, es un 0. Después de recibir y decodificar el byte dirección esclavo, el DS1307 sacará un reconocido en la línea SDA. Después de que el DS1307 reconoce la dirección esclavo + el bit escribir, el maestro transmite una palabra de dirección al DS1307. Esto establecerá el puntero del registro en el DS1307. El maestro entonces comenzará a transmitir cada byte de datos con el DS1307 reconociendo cada byte recibido. El maestro generará una condición de STOP para terminar la escritura de datos.

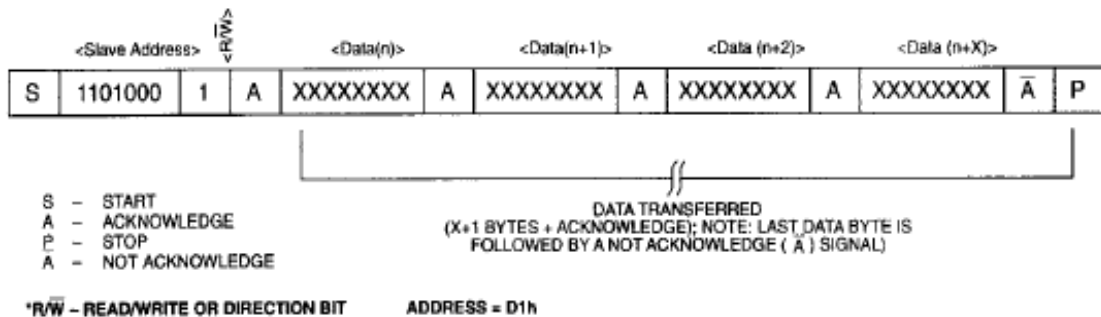
ESCRIBIR DATOS - MODO RECEPTOR ESCLAVO Figura 6



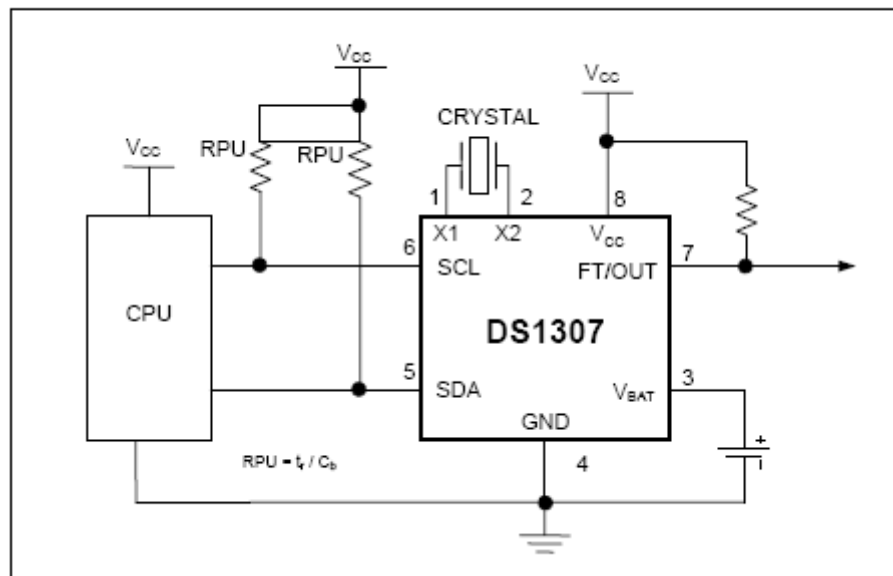
2. **El modo transmisor esclavo (DS1307 modo de lectura):** El primer byte se recibe y se maneja como en el modo receptor esclavo. Sin embargo, en este modo, el bit de *dirección indicará que la dirección de transferencia es invertida. Datos en serie se transmiten en el SDA por el DS1307, mientras que el reloj serie es la entrada en SCL. START y STOP son condiciones de reconocido como comienzo y final de una transferencia en serie (véase Figura 7). El byte de dirección es el primer byte recibido después de que la condición de arranque es generada por el maestro. El byte de la dirección contiene la dirección de 7-bit DS1307, que es 1101000, seguido por el bit de * dirección ($R/\overline{W}$) que, para una lectura, es un 1. Después de recibir y decodificar

la dirección de byte el dispositivo introduce un reconocido en la línea SDA. El DS1307 entonces comienza a transmitir los datos que comienzan con la dirección de registro indicada por el indicador de registro. Si el puntero de registro no es escrito antes de la iniciación de un modo de leer la primera dirección que es leída, es la última almacenada en el registro puntero. El DS1307 tiene que recibir un “no reconocido” para poner fin a una lectura.

LEER DATOS – MODO TRANSMISOR ESCLAVO Figure 7



TYPICAL OPERATING CIRCUIT



SOLUCIÓN DE PROBLEMAS.

Esta sección es un resumen de las causas más frecuentes de las inexactitudes del reloj en tiempo real. La mayoría de estos problemas se han mencionado anteriormente, pero se repiten aquí como una referencia rápida. En esta sección se ha dividido en tres partes. La primera parte se consideran los factores que causan un reloj de tiempo real a correr muy rápido y la segunda parte tendrá en cuenta los factores que causan un reloj en tiempo real a correr muy lento. El tercera parte se ocupa con los relojes que no se ejecutan.

RELOJES RÁPIDOS.

Los siguientes son los argumentos más comunes que causan un reloj de cristal basado en tiempo real para correr rápido.

1. El acoplamiento de ruido en el cristal de las señales adyacentes: Este problema ha sido ampliamente cubierto por encima.

El acoplamiento de ruido suele provocar en un reloj de tiempo real sea manifiestamente inexacta.

2. Cristal incorrecto: Un reloj de tiempo real normalmente correrá rápido, si se utiliza un cristal con una capacidad de carga específica (CL) de más de 6 pF. La gravedad de la falta de precisión depende del valor de CL.

Por ejemplo, utilizar un cristal con un CL, de 12 pF hará que el reloj de tiempo real corra unos 3-4 minutos por mes rápido.

RELOJES LENTOS.

Los siguientes son los escenarios más comunes que causan que un reloj en tiempo real basado en cristal corra lento.

1. **Rebasamiento en tiempo real de pines de entrada del reloj:** Es posible hacer correr despacio un reloj de tiempo real, pasa por detener el oscilador periódicamente. Esto puede ser logrado sin darse cuenta por las señales de entrada ruidosa al reloj de tiempo real. Si una señal de entrada se eleva a una tensión que sea mayor que la caída de diodo ($\sim 0,3$ V) por encima de VDD, el diodo de protección contra descargas electrostáticas ESD para el pin de entrada a la polarización, permitiendo que el sustrato sea inundado con la corriente. Esto, a su vez, detiene el oscilador hasta que el voltaje de la señal de entrada disminuye por debajo de una caída en el diodo por encima de VDD.

Este mecanismo puede hacer que el oscilador se pare con frecuencia, si las señales de entrada son ruidosas. Por lo tanto, debería ser tomado con cuidado para asegurar que no se rebasen las señales de entrada.

Otra situación que es común para que se rebase el problema es tener una entrada al reloj de tiempo real en 5 voltios cuando el reloj de tiempo real está en el modo de respaldo de batería. Esto puede ser un problema en sistemas que ciertos circuitos se cierran sistemáticamente, pero mantienen otros funcionando. Es muy importante asegurarse de que no hay señales de entrada al reloj de tiempo real que sean es mayor que el voltaje de batería cuando el dispositivo está en el modo de respaldo de batería.

2. **Cristal incorrecto:** En un tiempo real, el reloj típicamente correrá lento, si es usado un cristal con una capacitancia de carga específica (CL) menor de 6 pF. La gravedad de la inexactitud depende del valor de CL.

3. **Capacitancia parásita:** La capacitancia parásita entre los pines de cristal puede ralentizar la marcha de un reloj en tiempo real. Por lo tanto el cuidado debe ser tomado diseñando la disposición PCB para asegurar que la capacitancia parásita se mantenga a un mínimo.

4. **Temperatura:** La temperatura adicional de funcionamiento es la pérdida de temperatura del cristal, el cristal oscilará más despacio. Mirar Figuras 3 y 4.

RELOJ NO CORRE.

Los siguientes son los argumentos más comunes que causan que un cristal de reloj basado en tiempo real no correr.

1. El problema más común cuando el reloj no funciona es que el bit CH (Clock Halt - detener reloj) o EOSC (enable oscillator - habilitar oscilador) no se ha establecido o

se borra, como se requiere. Muchos RTC Dallas Semiconductor incluyen un circuito que impedirá al oscilador correr cuando el suministro se aplicó por primera vez. Esto permite a un sistema esperar el envío al cliente, sin llamar la alimentación de la batería de reserva. Cuando el sistema es alimentado por primera vez, el software/programa debe permitir que el oscilador y el usuario para apuntar la fecha y hora correcta.

2. Cargas parásitas causadas por la condensación, incompleto retirada de flujo de soldar u otras cargas pueden impedir al oscilador para correr.

3. Pines de suministro flotante. Cualquier entrada no utilizada, como Vbat, debe ser conectado a tierra. Si un pin de suministro queda flotando, la comunicación con el RTC no puede funcionar.

Cristales de montaje superficiales pueden tener algún pin N/C (no conectado). Asegúrese que los pines correctos del cristal son conectados a pines de X2 y X1. Note que el circuito oscilador sobre Dallas RTCs es el poder bajo; y la señal en el oscilador introduce pines puede ser sólo unos cien millivolts el pico para alcanzar su punto máximo.

Cristales de montaje superficiales pueden tener algún pin N/C (no conectado). Asegúrese de que los pines correctos del cristal están conectados a los pines X1 y X2. Tenga en cuenta que el circuito oscilador de RTC Dallas son bajos consumo, y la señal en los pines de entrada del oscilador puede ser sólo unos pocos cientos de milivoltios pico a pico.