



PIC16F62X

MICROCHIP

FLASH-Based 8-Bit CMOS Microcontrollers

Dispositivos incluidos en este data sheet:

- **PIC16F627**
- **PIC16F628**

Se refieren colectivamente como PIC16F62X.

CPU RISC alto desempeño:

- Sólo 35 instrucciones para aprender
- Todas las instrucciones de solo un ciclo (200 ns), salvo ramas del programa que son dos ciclo.
- velocidad de operacion:
 - DC - 20 MHz cronometran la entrada
 - DC - 200 ns cada ciclo de instrucción

Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8

- Capacidad de Interrupcion
- 16 registros de funcion especial
- Pila de 8 niveles de profundidad
- Modos de direccionamiento directo, indirecto y relativo

Dispositivos periféricos:

- 15 I/O fija con control individual de la dirección
- capacidad de corriente para manejo directo de led's.

- módulo Comparador analógico con:
 - Dos Comparador analógicos
 - Fuente de voltaje de referencia programable dentro del chip.
 - El multiplexado de las entradas se programan en el dispositivo en forma independiente con voltaje interior de referencia.
 - Las salidas del Comparador son externamente accesibles.
- Timer0: contador/temporizador de 8-bit's con prescaler de 8-bit's programable.
- Timer1: contador/temporizador de 16-bit con la capacidad del crystal/clock externa
- Timer2: El timer/counter del 8-bit's con el registro de periodo de 8-bit's , prescaler y postscaler
- Módulo de captura-Comparacion-PWM (CCP)
 - La captura es 16-bit, el máximo. la resolución es 12.5 ns
 - La comparación es 16-bit, la resolución es 200 ns
 - El máximo de resolución PWM es 10-bit
- USART/SCI universal
- 16 bytes de RAM común

Rasgos especiales de los Microcontroladores:

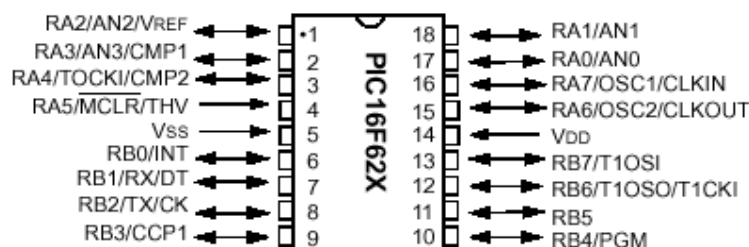
- Power-on Reset (POR)
- Power-up Timer (PWRT) y Oscillator Start-up Timer (OST)
- Brown-out Detect (BOD)
- Watchdog Timer (WDT) con oscilador RC interno
- pin MCLR Multiplexado
- resistencias pull-ups en el PORTB configurables
- código de protección programable
- bajo voltaje de programación
- Power saving SLEEP Modo
- Opción para seleccionar el tipo de oscilador.
 - tipo de oscilador definible en la palabra de configuración.
 - ER oscilador Resistencia Externa
 - duplicador de velocidad INTRC
 - baja corriente de consumo
 - CEE entrada del Reloj Externa
 - modo de oscilador XT
 - modo de oscilador HS
 - modo de oscilador LP
- in-circuit Serial programming via dos pines.
- Cuatro posiciones de ID programables por el usuario.

Tecnología de CMOS:

- Bajo consumo, alta velocidad, tecnología CMOS FLASH
- Diseño completamente estático
- Extenso rango de voltaje de operación
 - PIC16F627 - 3.0V a 5.5V
 - PIC16F628 - 3.0V a 5.5V

- PIC16LF627 - 2.0V a 5.5V
- PIC16LF628 - 2.0V a 5.5V
- Rango de temperatura comercial, industrial y extendida
- bajo consumo de corriente.
<2.0 MA @ 5.0V, 4.0 MHz, >
<15 MA típico @ 3.0V, 32 kHz, >
<1.0 uA corriente típica en standby @ 3.0V >

Diagrama de Pines :



Device	Voltage Range	Oscillator	ProcessTechnology (Microns)
PIC16F627	3.0 - 5.5	Ver datos	0.7
PIC16F628	3.0 - 5.5	Ver datos	0.7
PIC16LF627	2.0 - 5.5	Ver datos	0.7
PIC16LF628	2.0 - 5.5	Ver datos	0.7

Nota 1: Si usted cambia de este dispositivo a otro dispositivo, por favor verifique las características del oscilador en su aplicación.

Índice

- 1.0 Descripción general..... 5
- 2.0 PIC16F62X Dispositivo Variedades..... 7
- 3.0 Apreciación global arquitectónica..... 9
- 4.0 Organización de memoria..... 13
- 5.0 I/O Ports..... 27
- 6.0 Módulo Timer0..... 45
- 7.0 Módulo Timer1..... 50
- 8.0 Módulo Timer2..... 54
- 9.0 Módulo del Comparador..... 57
- 10.0 Capture/Compare/PWM (CCP) el Módulo..... 63
- 11.0 Módulo de Referencia de voltaje..... 69
- 12.0 Modulo USART..... 71
- 13.0 Memoria de datos EEPROM..... 91
- 14.0 Rasgos especiales de la CPU..... 95
- 15.0 Resumen del set de instrucciones..... 113

1.0 DESCRIPCIÓN GENERAL

Los PIC16F62X son microcontroladores de 8-bit's. miembros de la familia PIC16CXX de 18-pin con memoria Flash versátil, económico, alta corriente, CMOS.

Todos los microcontroladores PIC emplean una arquitectura RISC avanzada. Los PIC16F62X se han reforzado y ofrecen, una pila de ocho niveles de profundidad, multitud de fuentes de interrupción internas y externas.

Los buses de instrucciones y de datos separados de la arquitectura Harvard permiten palabras de instrucción con una anchura fija de 14-bit's con un bus de datos de 8-bit's.

Los ciclos de instrucción de dos fases permiten que todas las instrucciones se puedan ejecutar en un solo ciclo, salvo algunas instrucciones que requieren de dos ciclos.

Un total de 35 instrucciones está disponible (RISC set reducido de instrucciones).

Los PIC16F62X ofrecen una compresión de código 2:1 que con un juego de registros grande junto con un aumento de velocidad de 4:1 queda por encima arquitectónicamente otros microcontroladores de 8-bit's en su clase.

Los dispositivos PIC16F62X tienen características especiales para reducir los componentes externos, reforzando fiabilidad del sistema y reduciendo el consumo de poder.

Hay ocho configuraciones de oscilador, el oscilador ER que usa un solo pin proporciona una solución económica. El oscilador LP minimiza el consumo de poder, XT es un cristal normal, INTOSC es un oscilador interior autónomo y el HS es para cristal de alta Velocidad.

El modo sleep (power-down) ofrece ahorro de corriente.

El usuario puede despertar al PIC del SLEEP a través de varios tipos de interrupciones externas e internas o un reset.

Un Temporizador watchdog muy fiable con su propio oscilador RC proporciona protección contra coladuras de software.

La serie PIC16F62X se adapta en aplicaciones que van desde los cargadores de batería hasta sensores remotos de bajo consumo.

La tecnología de FLASH hace al gusto del consumidor de los programas de aplicación extremadamente rápido y conveniente (detección de nivel, generación de pulsos, temporizadores, etc.). Los encapsulados de montaje superficial hacen esta serie de microcontroladores ideal para todas las aplicaciones con limitaciones de espacio. Bajo costo, bajo consumo, alta salida, facilidad de uso e I/O hacen de los PIC16F62X una familia muy versátil.

1.1 Soporte de desarrollo

Vea el datasheet.

Tabla 1-1 dispositivos de la familia PIC16F62X

		PIC16F627	PIC16F628	PIC16LF627	PIC16
Clock	Maximum Frequency of Operation (MHz)	20	20	20	20
Memory	FLASH Program Memory (words)	1024	2048	1024	2048
	RAM Data Memory (bytes)	224	224	224	224
	EEPROM Data Memory (bytes)	128	128	128	128
Peripherals	Timer Module(s)	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2	TMR0, TM
	Comparators(s)	2	2	2	2
	Capture/Compare/PWM modules	1	1	1	1
	Serial Communications	USART	USART	USART	USART
	Internal Voltage Reference	Yes	Yes	Yes	Yes
Features	Interrupt Sources	10	10	10	10
	I/O Pins	16	16	16	16
	Voltage Range (Volts)	3.0-5.5	3.0-5.5	2.0-5.5	2.0-5.5
	Brown-out Detect	Yes	Yes	Yes	Yes
	Packages	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP SOIC; 20-pin SSC

All PICmicro ® Family devices have Power-on Reset, selectable Watchdog Timer, selectable code protect and high I/O current capability. All PIC16F62X Family devices use serial programming with clock pin RB6 and data pin RB7.

2.0 PIC16F62X VARIEDAD DE DISPOSITIVOS

Una variedad de rangos de frecuencia y las opciones empaquetando está disponible. Dependiendo de la aplicación y requisitos de la producción la opción del dispositivo apropiada que usan la información en la PIC16F62X Producto Identificación Sistema sección al final de este datos pueden seleccionarse cubra. Al hacer los pedidos, por favor use esta página de la hoja de datos para especificar el número de la parte correcto.

2.1 Dispositivos flash

Estos dispositivos se ofrecen en el más bajo co sto el paquete plástico, aunque el dispositivo puede borrarse y puede reprogramarse. Esto permite usar el mismo dispositivo para el desarrollo del prototipo y programas del piloto así como la producción.

Una ventaja extensa de la versión Flash eléctricamente-borrable es que puede borrarse y puede reprogramarse en circuito, o por programadores del dispositivo, como el PICSTART de Microchip.

3.0 Apreciación global de la arquitectura

El alto desempeño de la familia de PIC16F62X normalmente puede atribuirse a varios rasgos arquitectónicos encontrados en los microprocesadores de RISC. Para empezar

con, el PIC16F62X usa una arquitectura de Harvard que consiste, en tener buses de memorias de programa y de datos separados. Esto mejora el ancho de las instrucciones por encima de la arquitectura de von Neumann donde se programan datos e instrucciones en la misma memoria.

la separación de la memoria programa y la memoria de datos permite tener instrucciones con una anchura diferente de la palabra de datos de 8-bit's. Los codigos de instrucción son extendidos a los 14-bits y es posible tener todas las instrucciones en una sola palabra.

Un 14-bit que el programa memoria acceso bus ancho saca a una instrucción del 14-bit en un solo ciclo. Un encima de-regazos de tubería de dos-fase sacan y ejecución de instrucciones. Por consiguiente, todas las instrucciones (35) ejecute por un solo -ciclo (200 ns @ 20 MHz) salvo las ramas del programa.

La tabladebajo de la memoria de programa de listas (la Flash, Datos y EEPROM).

Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8
PIC16LF627	1024 x 14	224 x 8	128 x 8
PIC16LF628	2048 x 14	224 x 8	128 x 8

El PIC16F62X puede directamente o indirectamente direccionar su memoria de datos. Todos los registros de funcion especial incluido el contador de programa se encuaentran mapeados en la memoria de datos.

Los PIC16F62X poseen un orthogonal (simétrico) juego de instrucciones que lo hace posible realizar cualquier operaciom en todos los registro con cualquier modo de direccionamiento.

Esta naturaleza simétrica y la falta de la hechura de posiciones óptimas especiales que programa todavía con el PIC16F62X simple eficaz. Además, la curva de aprendizaje es significativamente reducida.

Los dispositivos de PIC16F62X contienen una ALU y registros de trabajo de 8-bit's.

La ALU es una unidad aritmética propósito general.

Realiza operaciones aritméticas y Booleanas funciona entre los datos en el registro activo y cualquier archivo del registro.

La ALU capaz de realizar suma, substracción, cambio y OPERACIONES lógicos. A menos que por otra parte mencionó, los OPERACIONES aritméticos son dos complemento en la naturaleza. Típicamente en las instrucciones del dos-operando, uno operando es el registro activo (registro W). El otro operando es un registro del archivo o una constante inmediata. En las solas instrucciones del operando, el operando está o los W registro o un registro del archivo.

El registro de W de 8-bit's usado para los OPERACIONES de ALU. No es un registro direccionable. Dependiendo de la instrucción ejecutada, la ALU puede afectar los

valores de los bits en el registro de ESTADO (C), (DC), y (Z). Los bits C y DC operan como un carry y dígito del carry, en la substracción.

Se proporcionan dos tipos de memoria de datos en los dispositivos PIC16F62X. La EEPROM de datos es una memoria No volátil se mantiene almacenamiento largo de datos como la calibración, valores, busque los datos de la tabla, y cualquier otro datos que puede requerir la actualización periódica en el campo.

Este dato no se pierde cuando se desenergiza. La otra memoria de datos proporcionada es la memoria regular de datos RAM.

La memoria de datos de RAM mantiene el almacenamiento temporal de los datos durante la operación normal. Esto se pierde cuando la alimentación falla.

3.1 Ciclo de Scheme/ Instruction cronometrando

El reloj entró (OSC1/CLKIN/RA7 fijos) es internamente dividido por cuatro para generar cuatro cuadraturas no solapando cronometra Q1, Q2, Q3 y Q4 a saber. Enterradamente, el contador del programa (PC) se incrementa cada Q1, la instrucción se saca de la memoria del programa y latched en la instrucción registre en Q4. La instrucción se descifra y ejecutó durante el Q1 siguiente a través de Q4. Los relojes y se muestra el flujo de ejecución de instrucción en Figura 3-2.

3.2 instrucción Flow/Pipelining

Un "Ciclo de la Instrucción" consiste en cuatro ciclos de Q (Q1, Q2, Q3 y Q4). La instrucción saca y ejecuta es los pipelined tal que saca toma un ciclo de la instrucción mientras descifra y ejecuta tarda otro ciclo de la instrucción. Sin embargo, debido al pipelining, cada instrucción ejecuta eficazmente en un ciclo. Si una instrucción causa al contador del programa para cambiar (por ejemplo, GOTO) entonces se exigen dos ciclos para completar la instrucción (Ejemplo 3-1).

Un saque ciclo empieza con el contador del programa (PC) incrementando en Q1.

Por el ciclo de la ejecución, la instrucción sacada es el latched en el "el Registro de la Instrucción (IR)" en ciclo Q1. Esta instrucción se descifra entonces y ejecutó durante el Q2, Q3, y ciclos de Q4. La memoria de datos se lee durante Q2 (el operando leyó) y escrito durante Q4 (el destino escribe).

4.0 ORGANIZACIÓN DE MEMORIA

4.1 Organización de Memoria de programa

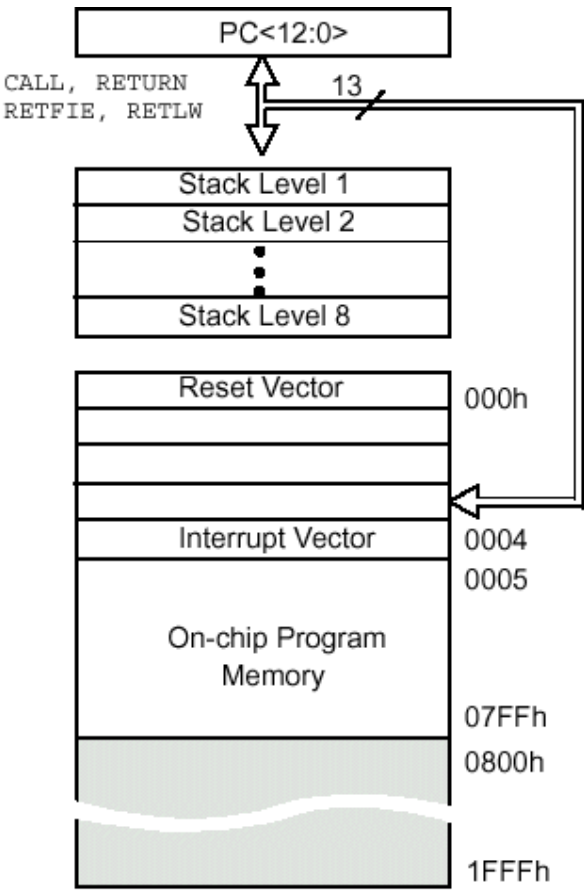
El PIC16F62X tiene un contador de programa de 13-bit capaz de direccionar un espacio de memoria de programa de 8K x 14.

Sólo los primeros 1K x 14 (0000h - 03FFh) para los PIC16F627 y 2K x 14 (el 0000h - 07FFh) para los PIC16F628 están implementados físicamente.

Accediendo una situación sobre estos límites cau serán un envoltura-alrededor de los primeros 1K x 14 espacio (PIC16F627) o 2K x 14 (PIC16F628).

El vector reset está en la posicion 0000h y el vector de la interrupción está en la posicion 0004h.

Figura 4-1



4.2 Organización de Memoria de datos

La memoria de datos se divide en cuatro Bancos que contienen los registros del propósito general y los registros de función especial. Los Registros de Función Especial se localizan en las primeras 32 posiciones de cada Banco.

La tabla abajo lista como acceder a los 4 bancos de registros.

	RP1	RP0
Bank 0	0	0
Bank 1	0	1
Bank 2	1	0

Bank 3	1	1
--------	---	---

Los registros en las posiciones 20-7Fh, A0h-FFh, 120h-14Fh, 170h-17Fh y 1F0h-1FFh son registros del propósito general implementados en RAM estática.

Las direcciones F0h-FFh, se llevan a cabo 170h-17Fh y 1F0h-1FFh como el RAM común y trazaron atrás a direcciones 70h-7Fh.

4.2.1 REGISTROS DE PROPÓSITO GENERAL

El archivo del registro es organizado como 224 x 8 en el PIC16F62X. Cada uno se accede directamente o indirectamente a través de el Registro Selector FSR .

MAPA DE LA MEMORIA DE DATOS DE LOS PIC16F627 Y PIC16F628

INDF	00h	INDF	80h	INDF	100h	INDF	180h
TMR0	01h	OPTION-REG	81h	TMR0	101h	OPTION-REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h	-----	105h	-----	185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
	07h		87h		107h		187h
	08h		88h		108h		188h
	09h		89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR	0Ch	PIE	8Ch		10Ch		18Ch
-----	0Dh	-----	8Dh		10Dh		18Dh
TMR1L	0Eh	PCON	8Eh		10Eh		18Eh
TMR1H	0Fh		8Fh		10Fh		18Fh
T1CON	10h		90h				
TMR2	11h		91h				
T2CON	12h	PR2	92h				
	13h		93h				
	14h		94h				
CCPR1L	15h		95h				
CCPR1H	16h		96h				
CCP1CON	17h		97h				
RCSTA	18h	TXSTA	98h				
TXREG	19h	SPBRG	99h				
RCREG	1Ah	EEDATA	9Ah				
	1Bh	EEADR	9Bh				
	1Ch	EECON1	9Ch				
	1Dh	EECON2	9Dh				
	1Eh		9Eh				
CMCOM	1Fh	VRCON	9Fh		11Fh		
	20h		A0h		120h		1A0h

RPG 96 BYTES		RPG 80 BYTES		RPG			
				48 BYTES	14Fh		
				NOP	150h		
			EFh		16Fh		1EFh
			F0h		170h		1F0h
		Mapeados con 70h - 7fh		Mapeados con 70h - 7fh		Mapeados con 70h - 7fh	
	7Fh		FFh		17Fh		1FFh

** RPG = registros de proposito general